65nm低消費電力プロセスで製造する低コストFPGAファミリ
Cyclone III

米国Altera社は，民生機器市場などを狙った低価格のFPGA「Cyclone IIIファミリ」を発売する．内蔵するLE（ロジック・エレメント）の数が5,136～119,088の8品種を用意する．台湾TSMC（Taiwan Semiconductor Manufacturing Co.）の65nm，低消費電力プロセスで製造する．

従来の同社の低価格FPGAファミリである「Cyclone」，「Cyclone II」と比べて，内蔵する機能や集積度を向上した．例えば，最大ゲート規模の品種の集積度（LE数）は，従来のCyclone IIの約1.7倍になった．また，最大288個のハード・マクロの18×18ビット乗算器を内蔵している．メモリ・ブロックは，1ブロック当たり9Kビット（M9K）になり．最大容量は従来の約3.5倍になった．

電源電圧はコア電圧が1.2V，I/O電圧が1.2～3.3V．コンフィグレーション用の外付けフラッシュ・メモリについては，EPCSファミリを利用できる．Quartus IIバージョン7.0を使って開発する．無償で入手できるWeb Editionでも開発できる．

24,624LEを内蔵する「EP3C25」は，既にサンプル出荷を開始している．量産出荷は2007年8月からの予定．2007年末には全品種の量産を開始する．

表1　Cyclone IIIの概要

型　名	EP3C5	EP3C10	EP3C16	EP3C25
ロジック・エレメント（LE）数	5,136	10,320	15,408	24,624
9Kビット・メモリ・ブロック	46	46	56	66
合計メモリ（Mビット）	0.4	0.4	0.5	0.6
18×18 乗算器	23	23	56	66
PLL数	2	2	4	4
最大ユーザI/Oピン数	182	185	347	215
型　名	EP3C40	EP3C55	EP3C80	EP3C120
ロジック・エレメント（LE）数	39,600	55,856	81,264	119,088
9Kビット・メモリ・ブロック	126	260	305	432
合計メモリ（Mビット）	1.1	2.3	2.7	3.9
18×18乗算器	126	156	244	288
PLL数	4	4	4	4
最大ユーザI/Oピン数	535	377	429	531

■価格
4ドル（EP3C5E144C8，50万個購入時の単価）
■連絡先
日本アルテラ株式会社
TEL 03-3340-9480
http://www.altera.co.jp/

SRAMベースのFPGAとフラッシュ・メモリを1パッケージに封止したマルチチップ・モジュール
Spartan-3AN

米国Xilinx社は，SRAMベースのFPGAとフラッシュ・メモリを1パッケージに封止したマルチチップ・モジュール・ファミリ「Spartan-3AN」を発売した．フラッシュ・メモリの容量が1Mビット～16Mビットの5品種を用意する．フラッシュ・メモリ容量の一部はコンフィグレーション・メモリとして，残りはユーザ領域として使用する．90nmプロセスで製造した．

ユーザが利用可能なフラッシュ・メモリ領域は627Kビット～11Mビット．10万回の書き換えが可能で，20年間データを保持できるという．そのほか，Spartan-3Aファミリと同じ低消費電力モードを持ち，26種類の入出力インターフェースに対応している．本マルチチップ・モジュール・ファミリは，同社のSpartan-3A FPGAファミリとピン互換性がある．

設計ツールとして，同社のFPGA開発環境「ISE 9.1i」を利用する．XC3S200AN，XC3S700AN，XC3S1400ANについては，すでにエンジニアリング・サンプルの提供を開始している．XC3S50ANとXC3S400ANについては2007年第2四半期に出荷を開始する予定．また，すべての品種について，2007年第3四半期までに量産を開始する予定．

表1　Spartan-3ANの概要

型　名	XC3S50AN	XC3S200AN	XC3S400AN	XC3S700AN	XC3S1400AN
システム・ゲート数	5万	20万	40万	70万	140万
ロジック・セル（LC）数	1,548	4,032	8,064	13,248	25,344
ユーザ・フラッシュ・メモリ容量（ビット）	627K	2M	2M	5M	11M
メモリ・ブロック容量（ビット）	54K	288K	360K	360K	578K
分散メモリ容量（ビット）	11K	28K	56K	92K	176K
DCM数	2	4	4	8	8
乗算器数	3	16	20	20	32
I/O数	108	195	311	378	502

■価格
4.90ドル（XC3S200AN，2007年度末における25万個購入時の単価）
■連絡先
ザイリンクス株式会社
TEL 03-6744-7777
http://japan.xilinx.com/

フラッシュFPGA向け32ビットCPUコア
Cortex-M1

米国Actel社と英国ARM社は，ソフト・マクロのCPUコア「Cortex-M1」を開発した．Actel社のフラッシュFPGA「ProASIC3 M1A3P1000」と「Fusion M1 AFS600」と組み合わせて利用できる．FPGAユーザはライセンス，ロイヤリティ共に無償で利用できる．フラッシュFPGAとは，フラッシュ・メモリ・セルをプログラム素子として利用するFPGAである．SRAMベースのFPGAと異なり，外付けのコンフィグレーションROMを必要としない．

Cortex-M1は，Thumb2命令セットに対応した小規模のASIC向けコア「Cortex-M3」と機能互換性がある．ProASIC3とFusionに実装した場合，最大72MHzで動作する．実装に必要な論理ブロック数は4,300タイル．FPGA向けに最適化を図るため，一から開発したという．従来，Actel社が提供していたARM7TDMIのCPUコア「CoreMP7」は，ASIC向けのものにチューニングを施したものだった．

ユーザはActel社のIPコア管理ツール「CoreConsole」を使用してコアのデータを入手し，機能をカスタマイズする．ソフトウェア開発には，Actel社のソフトウェア開発ツールである「SoftConsole」を利用する．また，市販のARMマイコン向けの開発ツールを利用できる．

■価格
無償（Cortex-M1）
■連絡先
アクテルジャパン株式会社
TEL 03-3445-7671
japan@actel.com
http://www.jp.actel.com/

PCIインターフェースを備える，処理性能が4,800MMACの画像処理用DSP
TMS320C6424，TMS320C6421

米国Texas Instruments社は，処理性能が従来品の1.6～2倍に当たる4,800MMAC（600MHz動作時）のDSP（ディジタル信号処理プロセッサ）「TMS320C6424」と「TMS320C6421」を発売した．「TMS320C6424」の内蔵RAM容量は240Kバイトで，PCIインターフェースを備える．「TMS320C6421」の内蔵RAM容量は96Kバイト．プリンタやコピー機，監視カメラ，検査装置，医療機器などの画像処理を伴う機器のほか，通信機器，マルチメディア機器にも利用できる．

本DSPは，動作周波数が400MHz，500MHz，600MHzの3品種を用意する．外部インターフェースとして，Ethernetや UART2，I²C，汎用I/O，PWM（pulse width modulation）などを備える．また，64ビット・タイマを二つ内蔵する．C6000シリーズ（TMS320C6xxx）のすべてのDSPとソフトウェア互換性を持つ．

併せて，本DSPの評価ボード「TMDXEVM6424」を発売した．同社のDSPの統合開発環境「Code Composer Studio v3.3」やリアルタイム・カーネルのDSP/BIOS，オーディオCODEC用ライブラリ，フランスVirtualLogix社のuCLinuxなどが付属する．また，日本法人の日本テキサス・インスツルメンツは，2007年5月よりC6000シリーズ向けのセミナを開催する予定．

■価格
24.95ドル（TMS320C6424，600MHz対応）
8.95ドル（TMS320C6421，400MHz対応）
（いずれも1万個購入時の単価）
73,290円（TMDXEVM6424）
■連絡先
日本テキサス・インスツルメンツ株式会社
http://www.tij.co.jp/pic/

NEWS
メモリ・メーカのQimondaが2007年の事業方針を発表，パソコン以外にテレビやデジカメなどの市場開拓にも注力

ドイツInfineon Technologies社からメモリ・メーカとして分社したQimonda社は，同社のDRAM事業の状況や日本における事業方針を発表した．パソコン用DRAMだけではなく，ディジタル・テレビやデジタル・カメラに搭載するDRAMの市場開拓にも力を入れていくという．

同社の2006年の売り上げは，対前年度比35％増の38.1億ユーロとなった．これによりDRAM市場における世界シェアの順位は，2006年には韓国Samsung Electronics社（28.7％）と韓国Hynix Semiconductor社（16.5％）に次ぐ3位（15.7％）となった．また，ディジタル・テレビやデジタル・カメラなどに搭載されたDRAMの割合は，現在は50％近い．同社の売り上げの中で日本市場が占める割合は，2003年の2％から2006年は7％へと増加した．

日本法人キマンダ ジャパンの社長 馬場久雄氏は，「顧客を最優先にする」という基本方針と，いくつかの事業の柱を発表した．同社のDRAMは，現在主流のスタック技術ではなく，トレンチと呼ばれる技術を用いている．このトレンチ技術による低消費電力化をさらに推し進める．また，直径300mmのシリコン・ウェハの生産比率を引き上げて，生産コストを抑える方針も表明した．DIMM（dual in-line memory module）の生産にも力を入れる．このほか，ASICなどへのDRAMコア搭載のサポート部門などを設けた．

■連絡先
株式会社キマンダ ジャパン
http://www.qimonda.jp/

クロック・ゲーティングによって低消費電力化できる箇所を静的に解析するソフトウェア

PowerPro CG

米国Calypto Design Systems社は，クロック・ゲーティング手法によって低消費電力化できる箇所を静的に解析するソフトウェア「PowerPro CG」を発売した．本ソフトウェアを実際のディジタルLSIの設計データに適用したところ，3次元グラフィックス回路については31～61.1％，ネットワーク回路では58％，マイクロプロセッサでは20～22.7％，低消費電力化できることを確認したという．

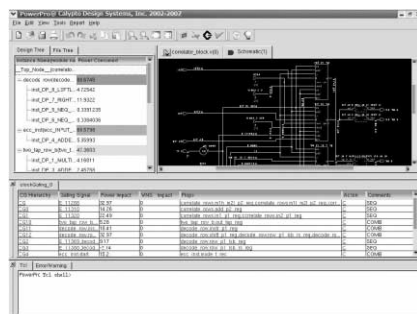
入力は，Verilog HDLまたはVHDLのRTL（register transfer level）データ，タイミング制約情報（SDC：Synopsys Design Constraints），トグル情報（SAIF：Switching Activity Format），回路ライブラリ（.lib）．これらの情報をもとに，各信号パスにクロック・ゲーティング手法を適用したときの消費電力の増減を計算する．また，各信号パスにクロック・ゲーティングを施す際に挿入するクロック制御回路（ゲーテッド・クロック回路）のデータも生成する．

米国Synopsys社のPower Compilerなど，いくつかの論理合成ツールは，消費電力を考慮してゲーテッド・クロック回路を自動挿入する機能を備えている．こうしたツールの多くは，組み合わせ論理とその後のフリップフロップの間に位置するセレクタ（イネーブル信号）を目安に，ゲーテッド・クロック回路の挿入可能個所を特定しているという．すなわち，組み合わせ論理の回路構造を解析して，ゲーテッド・クロック回路を挿入できる個所を検出している．

一方，本ソフトウェアでは，フリップフロップをまたいだ前段および後段の回路（パイプラインの前後のステージ）についても，前後のクロック・サイクルにおけるデータ信号の利用状況を考慮しながら，ゲーテッド・クロック回路を挿入できる個所を探索している．すなわち，順序回路を対象に，クロック・ゲーティングが可能な箇所を解析している．これにより，上述の論理合成ツールを使用した場合よりも電力消費の少ない回路を見つけることができるという．

本ソフトウェアは，Linuxが稼働するパソコンの上で動作する．ゲーテッド・クロック回路の挿入前・挿入後におけるRTLデータの論理等価性を検証する等価性チェッカ（SLEC CG）も用意する．

写真1　PowerPro CGの画面例

■価格
295,000ドル（1年間のライセンス料金）
■連絡先
カリプト・デザイン・システムズ株式会社
TEL 045-470-2070
http://www.calypto.com/

携帯ネットワーク機器向けDSP

ADSP-BF52xファミリ

米国Analog Devices社は，Blackfinプロセッサ「ADSP-BF52xファミリ」を発売した．「ADSP-BF527」は，10M/100MビットEthernetインターフェースやUSB OTG（On-The-Go）インターフェースを備えたDSPである．132Kバイトの内部メモリを持つ．「ADSP-BF525」はADSP-BF527からEthernetインターフェースを省いた，「ADSP-BF522」はADSP-525に対してUSB OTGインターフェースを省いた廉価版である．それぞれの品種について，低消費電力の「ADSP-BF52xL」と，音声CODECを搭載する「ADSP-BF52xC」を用意する．

ADSP-BF52xとADSP-BF52xCの動作クロック周波数は最高600MHz，ADSP-BF52xLは最高400MHz．250MHz動作時のADSP-BF52xLの電力効率は0.16mW/MHzである．電圧レギュレータを搭載し，1.8V，2.5V，3.3Vの動作電圧で使用できる．パッケージは12mm×12mmの289ピンBGAで，すべての品種についてピン互換性を持つ．

サンプル出荷は2007年第2四半期から，量産出荷は2008年第1四半期からの予定．本プロセッサの開発環境であるVisual DSP++は既に出荷している．本プロセッサ用のICE（in-circuit emulator）は2007年第2四半期から，評価ボードEZ-KIT Liteは2007年第3四半期から出荷する予定．

表1　ADSP-BF52xファミリの内蔵機能

型　名	ADSP-BF527	ADSP-BF525	ADSP-BF522
ホストDMA	1	1	1
USB	1	1	－
Ethernet MAC	1	－	－
2線式インターフェース（TWI）	1	1	1
同期シリアル（SPORT）	2	2	2
非同期シリアル（UART）	2	2	2
SPI（serial periferal interface）	1	1	1
汎用タイマ	8	8	8
ウォッチドッグ・タイマ	1	1	1
リアルタイム・クロック	1	1	1
パラレル・インターフェース	1	1	1
汎用I/O	48	48	48

■価格
14.50ドル（ADSP-BF527，600MHz版，1万個購入時の単価）
5.49ドル（ADSP-BF522L，300MHz版，1万個購入時の単価）
■連絡先
アナログ・デバイセズ株式会社
http://www.analog.com/jp/